

Design Rules 的由来

这一篇 "Layout Rules" 是我早年 (1979 年附近) 在电子所当课长时所写。虽然是对当时的制程, 但其中所介绍的概念相信对今日的工程师仍有观念上的助益。Layout Rules 与 Design Rules 二词我们经常混用。

当年我将 Design Rules 分成二部分, 叫 Ground Rules 及 Derived Rules。Ground Rules 是生产线上工艺的限制, 通常来自曝光及蚀刻的能力。Derived Rules 则来自制程的设计, 工艺的精度, 制造时的副效应和元件物理的问题。文章的主轴在 Derived Rules。

当年工艺较差, 文章中我一再提及的几个名词或许现在已鲜为人知, 在此再作个介绍:

Mask Registration 当年的光罩 substrate 是玻璃, 随 mask house 环境的控制有一些伸缩度。故完成之后放在同一环境的黄光室内, 各光罩层之间并不能完全吻合, 左上角对准了, 右下角可能差一些。这叫 Registration tolerance。

Alignment error 即使上層的 Registration 極其精準，在曝光機作業時仍有下層對上層稍許 mis-align 的問題。

Mask size 當時這個名詞用得不好，應是 mask size error 的意思，即是指光罩上 Pattern 的大小与设计时所画的大小之间的差異，是光罩工藝問題。

Design Rules 有部分就是來自這些製造工藝的精度，要求光罩設計時給予一些寬容。

"LoVAg" 制程早已不存在，它是 Low Voltage Aluminum Gate 的簡稱，耐壓 6 伏^{volt}，CMOS。特點是沒有 field oxide，在 field area 全以 P⁺ 或 N⁺ 覆蓋，所以不会有寄生電晶體效應。制程 8 道光罩，如文章中 Process Sequence 所述，P⁺ region 是 PMOS 的 Source 及 Drain 和 field 上蓋 P⁺ 的部分，Channel Implant 是調整 PMOS 的 threshold voltage，因為整片 die 都是 thin oxide，所以作 Contact 時用二層光阻覆蓋，避免因光阻的 pin hole 造成後來的 metal 穿入不該穿入的地點，這是 Contact II 的由來，BP 是 Bond Pad。



The Layout Rules

Layout Rules 關係 chip size, 關係 Product performance.
因為關係 CP yield, 關係 Cost, 關係售價, 重要性無須言。
以下就 LOVAG 為例, 略述 Layout Rules 之建立原則, 並
可看出 IC 技術應改進的方向。

LOVAG PROCESS DESCRIPTION

1. Alignment 由於 Level 間的 Registration & alignment tolerance, 那一 level 所對準那一 level 對 layout rule 甚有影響, 計算 rules 時必須先知道。

<u>Process Sequence</u>	<u>Align to</u>	<u>Tolerance</u>
P Well	—	—
P ⁺	p-well	±.1 mil
N ⁺	p ⁺	±.1 mil
Ch. Imp.	p ⁺	±.1 mil
Contact I	N ⁺ (假設 p ⁺)	±.1 mil
Contact II	Contact I	±.1 mil
Metal	N ⁺ (假設 p ⁺) [*]	±.1 mil
BP	Metal	±.1 mil

* metal level 2 對 Contact 而對 diffusion, 乃考慮 channel overlap 較重要。



2. Junction Depth junction depth 有 - tolerance. 應用時
應採 worst case. 即考慮 $\approx$ diffusion
region 之內可於 punch time 時用最大
之 junction depth. 但在考慮如 Contact
inside diffusion 時則採用最大之 depth

Level	min	nominal	max
-------	-----	---------	-----

p-well		7 μ	
--------	--	---------	--

p+		1.9 μ	
----	--	-----------	--

n+		2.7 μ	
----	--	-----------	--

side diffusion 80% of junction depth.

3. Doping Concentration 計算 depletion width, breakdown
voltage 時有用, 同樣要用 worst case

Type	min	nominal	max
------	-----	---------	-----

N-	5×10^{14}	1×10^{15}	3.5×10^{15}
----	--------------------	--------------------	----------------------

P-	2.5×10^{15}	5×10^{15}	8×10^{15}
----	----------------------	--------------------	--------------------

p+		10^{19}	
----	--	-----------	--

n+		10^{20}	
----	--	-----------	--

4. Mask Registration 經由 PMO 根據它所能做到的極限
提供, 目前約是 .05 mil over 3 inches



5. Mask Size 由 PMO 提供, 即 $\frac{1}{2}$ working plate 之 size 与 drawing 之 size 之误差, (通常 tolerance 与 mask 材料及尺寸 dimension 之大小有关, 目前约在 $\pm .02 \text{ mil}$ (对 3-4 之 dimension 而言)).

6. Overetch ~~Process~~ Production line 提供, 通常因 material, material thickness 而有不同. 目前对 oxide $\frac{1}{2}$ - 边约是 $.015 \text{ mil}$.

LOVAG Ground Rules

GROUND RULES 由 Process people 提供, 是生产线能经常保证之极限, 是制造技术之问题, 不同 Process 有不同 GR.

1. Min. Contact Size .3 x .2 mil
2. min. metal width .3 mil
3. min. metal spacing .2 mil
4. min. diffusion line width .3 mil

另有一条 GROUND RULE, 为保证 Contact 良好

5. metal should at least cover $\frac{1}{2}$ of Contact area.



$$V_{Bi} = V_T \ln \frac{N_A N_D}{n_i^2}$$

Depletion width at 6V

Total reverse voltage across junction $\frac{p}{2}$ 6V + (Build-in potential).

1. N-P junction (5×10^{14} vs. 2.5×10^{15}) $V_{Bi} = 0.6V$ V_{EO} 相同

Total reverse voltage $\approx 6.6V$, $V_{Bi} = 0.6V$

voltage across N-side $\approx 5.5V$

voltage across p-side $\approx 1.1V$

$$\therefore W_n = \left(\frac{2\epsilon_s \cdot 5.5}{q N_D} \right)^{1/2} = 3.8 \mu \text{ (.15 mil)}$$

$$W_p = .76 \mu \text{ (.03 mil)}$$

2. N-P⁺ junction (5×10^{14} vs. 10^{19})

Total reverse voltage $\approx 6.86V$ $V_{Bi} = 0.86V$

$$W_n \approx 4.2 \mu \text{ (.165 mil)}$$

3. N⁺P⁻ junction (10^{20} vs. 2.5×10^{15})

Total reverse voltage $\approx 6.86V$

$$W_p = 1.9 \mu \text{ (.075 mil)}$$

Accumulated errors

mask registration error, mask size error, overetch error
及 misalignment error 每次相加时, 在统计学上 (即统计)
方根方式 (Root-Mean-Square) 相加。



1. same level
mask size + Overetch = $[(.02)^2 + (.03)^2]^{1/2} = .036 \text{ mil}$
2. once ~~mask~~ alignment
mask registration mask size overetch p+ tolerance
 $[(.05)^2 + (.02)^2 + (.03)^2 + (.1)^2]^{1/2} = .12 \text{ mil}$
3. twice alignment
mask registration mask size overetch p+ tolerance
 $[(.05)^2 + (.02)^2 + (.03)^2 + (.1)^2 + (.1)^2]^{1/2} = .15 \text{ mil}$
Registration error 是指任何 = level (10) to 2 至 3 (1.05)

CURRENT DENSITY

Al 可 handle 的最大電流是 $1.5 \times 10^5 \text{ A/cm}^2$ ，Z 產生 migration，因此對於 1μ 厚度的 Al 線， 5 mil 寬可 handle 38 mA 的電流，加入安全係數可訂為 25 mA/in 。Lovac Process 的 Al-Si 厚度約是 $8000 \text{ \AA}$ 。

BIAS

有時候由於製版 (drawing) 上的困難，會使 mask 上的尺寸或 wafer 上的尺寸與 drawing 上的尺寸有些許 (或力) 偏差 (一些)，這裡說的尺寸偏差是 tolerance，而是 average size 的偏差。這時候 layout rule 就有必要加上 BIAS，即在畫圖時將 size 加大些 (或減小些)，但 designer 必須知道實際做出來的尺寸，以便做各種運算。



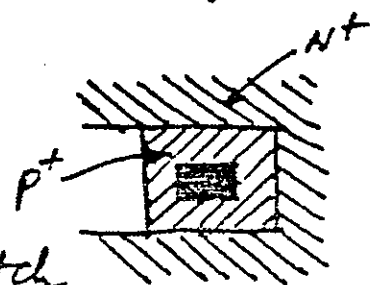
DERIVED LAYOUT RULES

基于以上对 Process, mask 和 device 的了解了, 經由一些簡單的計算, 我們可以推出其他的 layout rules, 對於一個新的 Process 有一些製造上的問題不是能夠事先預言的, 因此算出來的 layout rule 尚需經過 limit test.

A. min. Spacing, Contacts inside diffusions (.2 mil)
Contact 若落在 diffusion, 會將 diffusion 和其外圍的 SUBSTRATE 或 p well short 在一起, 這 - J rule 是為了保證不會 short (在 Guardband 上短 Contact 可不受此 rule, 因為 Guardband 本身和其外圍是同-type).

A-1 考慮 Contact inside p⁺ diffusion

- N⁺ 會 Contaminate p⁺
- Contact 不能有 overetch
- N⁺ 可能有一 side .015 mil overetch



保證 Contact 在 inside p⁺ opening:

$$\left[\underbrace{(.05)^2}_{\text{Reg.}} + \underbrace{(.02)^2}_{\text{p}^+ \text{ size}} + \underbrace{(.02)^2}_{\text{Co. size}} + \underbrace{(.015)^2}_{\text{overetch}} + \underbrace{(.1)^2}_{\text{misalign}} + \underbrace{(.1)^2}_{\text{misalign}} \right]^{1/2} = .154$$

保證 Contact 與 N⁺ 有 overlap:

$$\left[\underbrace{(.05)^2}_{\text{Reg.}} + \underbrace{(.01)^2}_{\text{N}^+ \text{ size}} + \underbrace{(.01)^2}_{\text{Co. size}} + \underbrace{(.015)^2}_{\text{overetch}} + \underbrace{(.1)^2}_{\text{misalign}} \right]^{1/2} = .114$$



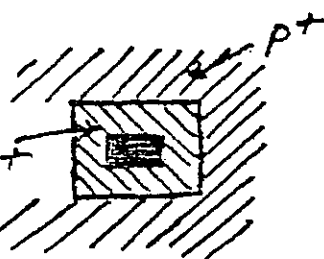
- N^+ 对 P^+ 的 side-diffusion 可忽略, 因为 error function 在 3μ 左右 magnitude 降低 -5 order.
- metal alloy 时, 鋁会渗入 Si 一段深度 (spiking or Spear), $\sim 1\mu$, 应予考虑.
- $154 \text{ mil} + 1\mu \text{ of spiking} = \underline{\underline{.2 \text{ mil}}}$

A-2 考虑 Contact inside N^+ diffusion

保证 Contact inside N^+ opening:

$$\left\{ \begin{array}{l} (.05)^2 + (.01)^2 + (.01)^2 + (.015)^2 + (.1)^2 \end{array} \right\}^{1/2} N^+ \\ \text{Reg.} \quad n^+ \quad \text{con.} \quad \text{overetch} \quad \text{misalign.}$$

= .114



因 N^+ 与 Counterdope P^+ , 只要 Contact inside N^+ , 就可保证不会 touch P^+ .

$$.114 + 1\mu \text{ spiking} = .154 \rightarrow \underline{\underline{.2 \text{ mil}}}$$

註 若考虑以 Contact 对 P^+ , 最大的 standard deviation 不变, 故单就 layout rule 言, contact 对 P^+ 或 N^+ 是无关係。但在以后的 layout rule 计算中, 我们将发现 metal align to P^+ or align to N^+ 有区别, 若 metal align to P^+ , N^+ align to P^+ , contact align to N^+ , 我的发现 metal 对 contact 有 ≈ 5 misalignment error, 所以若 metal align to P^+ , 则 contact 最好也 align to P^+ .



B. min. channel length (.3 mil)

min. channel length 的設定有各種不同的準則，在線性設計中為 constant current source，是以 output resistance 為準則，數位設計如電錶電路希望有較小的 leakage current，是以 subthreshold current 為準則，其他的數位設計中可能次要 source-drain 不要 Punch through 效。無論是哪一種準則，都必須將 side diffusion 及 drain depletion width 予以考慮。

min. length = $2 \times (\text{side diffusion}) + (\text{RHS OF mask size} \times \text{overetch}) + \text{required dimension to meet the criterion}$

LOVAG 應用在電錶電路較多，因此以 subthreshold current 為考慮準則，如果一電路有 2000 個 MOS，而要求 static leakage 不超過 $0.1 \mu\text{A}$ ，表示每一 MOS 的 leakage 不得超過 $5 \times 10^{-11} \text{ amp}$ 。Leakage current 的來源是由於 source end 和 drain end 的 minority carrier density 不同產生的 diffusion current，理論較複雜，計算不易，大作說來，對於 short channel ($< 10 \mu$) 有如下關係式：

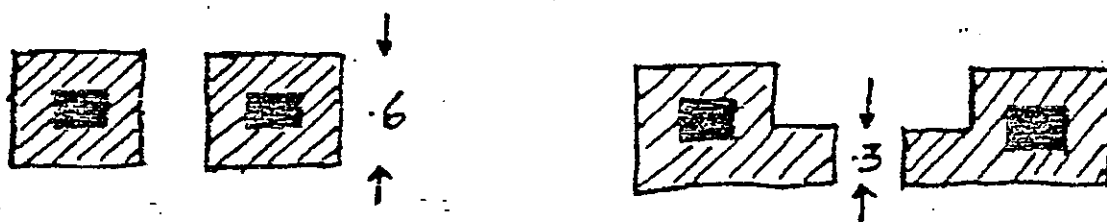
$$I_{\text{leak}} \sim \frac{1}{L} e^{\frac{q\phi_s}{kT}} (1 - e^{-\frac{qV_{ds}}{kT}})$$



L' 是扣除 side diffusion, depletion width, etc
1.5 是 L' 的 channel length.

C. min. channel width (1.6 mil)

由於 contact size 為 $.2 \times .3$, contact inside diffusion
為 $.2$, 所以 min. channel width 為 $.2 + .2 \times 2 = .6$.
特殊情況下可 layout 為 $.3$ mil. 如下左圖.



D. min. gate metal width (.5 mil)

gate metal 在 channel length 方向必須完全蓋住
channel, 否則有部分 channel region 不能被 invert,
造成 -5 open ckt.

D-1 NMOS. 由於 metal level 是 align to N^+ , 所以
min. overlap to N^+ 為 $.12$ mil, 但 N^+ 有 side
diffusion $2.7\mu \times .8 = 2.1\mu = .085$ mil, 扣除後,
在 layout 時, overlap 為 $.035$ mil.

D-2 PMOS. 由於 metal level 對 P^+ 有兩次 alignment
error, overlap 至 P^+ 為 $.15$ mil, P^+ side diffusion
 $1.9\mu \times .8 = 1.5\mu = .06$ mil, 扣除後, overlap 為 $.09$ mil.



$$\begin{aligned} \text{min gate metal width} &= \text{Channel length} + 2 \times (\text{overlap}) \\ &= .3 + 2 \times [\text{max. of } (.035, .9)] \\ &= .48 \rightarrow .5 \text{ mil} \end{aligned}$$

註：若 metal 係 align to p^+ , 則

$$\text{NMOS overlap} = .15 - .085 = .065 \text{ mil}$$

$$\text{PMOS overlap} = .12 - .06 = .06 \text{ mil}$$

較為對稱。

E. min. gate extension from channel ends (.1 mil)

gate metal 若不在 channel width 的方向完全蓋住 channel, 則有二種結果：

一、是 channel width 減小；

二、是由於 channel 上面是 thin oxide, 若不被 metal 蓋住, 便直接被蓋上 CVD oxide,

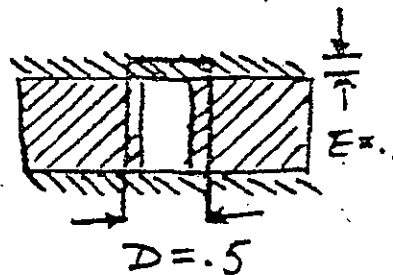
但 CVD oxide 的 sodium 含量較高, 這造成 source-drain short

E-1 NMOS. metal align to NMOS 的 guardband 有 .15 mil 的可能誤差, 扣除 .06 mil 的 side diffusion 後, 尚有 .09 mil 的 overlap 到 p^+ GB.

$$\text{E-2 PMOS. } .12 - .085 = .035 \text{ mil.}$$

$$\text{min. max. of } (.09, .035) = .09 \rightarrow .1 \text{ mil}$$

註：此 rule 主要是應讀為 min gate^{metal} overlap with guardband 的 side diffusion 部分 doping 較低, 所以估計略嫌保守。





EF. Device-Guardband Spacing (0.0 mil)

∴ max supply voltage $\approx 6V$, 而 N^+P^+ junction
的 Breakdown voltage $\approx 6.2V$ 左右, 故 spacing 可
为 0.0 mil .

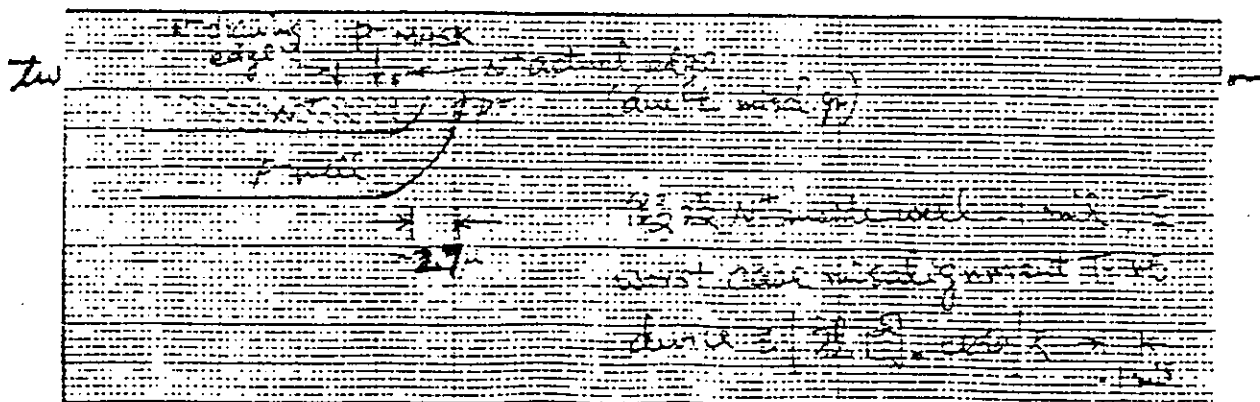
G. p^+ Guardband to N^+ Guardband spacing (0.0 mil)

理由同 F.

H. min. spacing, n^+ inside well (.1 mil)

由於 N^+ 較 P^+ 為深, N^+ 層不在 P -well 內, 便會與 N -sub
short 在一起, 即使在 P -well 內, 在接受 $6V$ 電壓時,
也有可能構成 punch through 而與 N -sub 形成 PN -
leakage path.

N^+ inside well 不易計算，以下是一悲觀的估計圖：



上圖中可估讀出若 N^+ inside well $\sim 1 \text{ mil}$, worst case
下 N^+ 距 $N\text{-sub}$ 約 $\frac{1}{2} 2.7 \mu$, depletion width $\frac{1}{2} 2.76 + 1.9 = 2.66 \mu$.
故可定為 Punch through.



I. min. spacing, well to outside edge of P^+ GB. (.2 mil, N^+P^- junction 若形成在 interface, 由於 N^+P^- 的 depletion width 較寬, interface 上在 bandgap 間的 trap states 較多, 所以構成較大的 leakage current, 應(避免). 在 LOVAG Process, u -junction 不為 P^+N^+ , 因 surface 非 P^+ 即 N^+ , 即或有 misalignment, side-diffusion 也足夠補償回來。

.2 mil 的 rule 想是由 .3 mil 的 bandwidth 減 $\frac{1}{3}(H)$ 之 .1 mil 而得。

J. metal min. .1 mil overlap on .2 contact length.

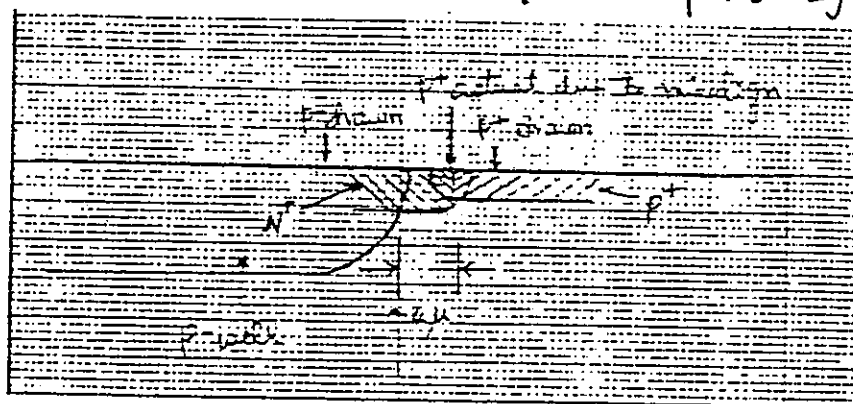
K. metal line-to-line with .3 contact width.

metal 對 contact 有 .15 mil 的 alignment error, 在 contact width 方向和 length 方向的 error 和是 $\{(0.15)^2 + (0.15)^2\}^{1/2} = .21$ mil, worst case T. 的 area coverage (應用 J. K = 5 rule), 若 .3 width 方向 cover 住 .15, .2 length 方向是至 cover 住 (尚有 .04 的餘裕)。

.15 x .2 = .03 mil² 佔好有 $\frac{1}{2}$ 的 contact area coverage.



L. min. spacing of well boundary to P^+ diffusion (.5 mil)
這 - rule 是為了防止 P -well 和 P^+ 靠近 (4 μ) 的 P^+ diffusion 間產生 punch-through, 構成 Leakage path.
計算上較困難, 下圖是應用 .5 mil 的 rule, 假設 P^+ 和 P^- 有 .12 MIL 的 error 下的剖視圖:

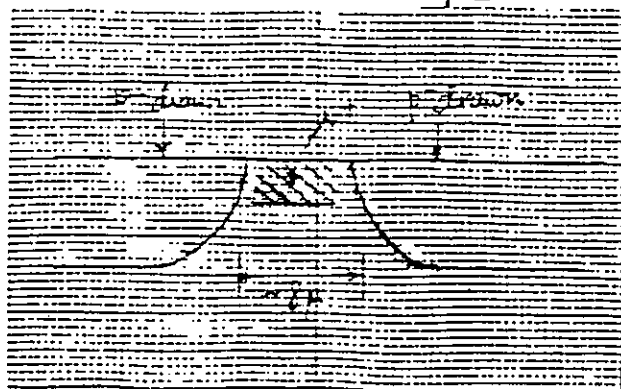


由圖中可估出若 P -well 向 N -sub 的 depletion 不足 (4 μ) 的話, leakage path 將會產生。

M. min. spacing of two well diffusions at different potential (.7 mil)

這是為了防止不同 potential 的 P -well 間 punch thru, 構成 Leakage path. 計算上亦不難, 下圖是應用 .7 mil 的 rule 所得的剖視圖。

二 P -well 之間必有 N^+ 存在, 因此 P -well 間的最短距離約是圖示的 8μ ,





在 $6V$ 电压下, depletion width 在 N -sub 方向是 $3.8\mu \times 2 = 7.6\mu$, 如果再加 $\pm$ mask size 的可能误差 $.05 \text{ mil}$ 和 overetch 误差 $.03 \text{ mil}$ ($RMS = .06 \text{ mil}$), 8μ 也许不够, 尚差 1.1μ 。事实上在靠近 N^+ 的 N -sub 电压的电场分布因受 N^+ 影响而不如 1 dimensional theory 所言, 结果是 depletion width 较 3.8μ 为小, 可补回不足为 1.1μ 。